

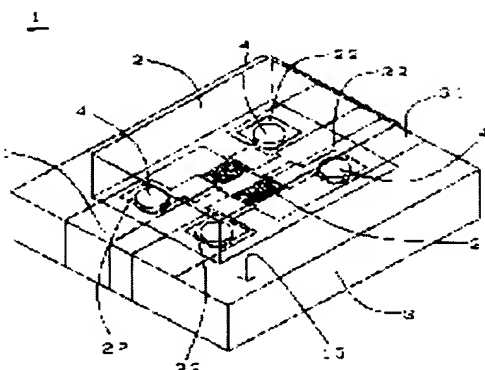
(11)Publication number : 2002-305218
(43)Date of publication of application : 18.10.2002

H01L 21/60
H03H 9/25

(72)Inventor : SHIMOE KAZUNOBU
TAKEDA MITSUO
TAKADA TOSHIAKI
TAKADA TADAHICO

Priority number : 2001022148 Priority date : 30.01.2001 Priority country : JP

SOLUTION: Both the value dividing the total area of bonding of a bump and the electronic element with the mass of the electronic element and the value dividing the total area of bonding of the bump and the substrate with the mass of the electronic element are set to be $\geq 8.8 \text{ mm}^2/\text{g}$.



[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2002-305218

(P 2002-305218A)

(43) 公開日 平成14年10月18日 (2002. 10. 18)

(51) Int. Cl.⁷
H01L 21/60
H03H 9/25

識別記号
311

FI
H01L 21/60 311 Q
H03H 9/25 A

テマコード (参考)

5F044

5J097

審査請求 未請求 請求項の数 5

OL

(全 6 頁)

(21) 出願番号 特願2001-281918 (P2001-281918)
(22) 出願日 平成13年9月17日 (2001. 9. 17)
(31) 優先権主張番号 特願2001-22148 (P2001-22148)
(32) 優先日 平成13年1月30日 (2001. 1. 30)
(33) 優先権主張国 日本 (JP)

(71) 出願人 000006231
株式会社村田製作所
京都府長岡京市天神二丁目26番10号
(72) 発明者 下江 一伸
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内
(72) 発明者 武田 光雄
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内
(72) 発明者 高田 俊明
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

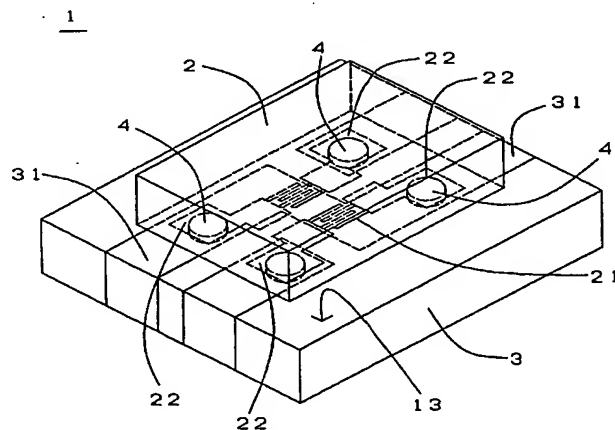
最終頁に続く

(54) 【発明の名称】 電子部品

(57) 【要約】

【課題】 電子素子と、電子素子を実装する基板とを有し、電子素子と基板とが電気的もしくは機械的に少なくとも3つのバンプで接続されている電子部品において、アンダーフィルを充填することなく十分な強度の機械的結合を得る電子部品を提供する。

【解決手段】 バンプと電子素子とが接合している総面積を電子素子の質量で割った値、およびバンプと基板とが接合している総面積を電子素子の質量で割った値をともに $8.8 \text{ mm}^2/\text{g}$ 以上に設定する。



【特許請求の範囲】

【請求項 1】 電子素子と、電子素子を実装する基板とを有し、電子素子と基板とが電気的もしくは機械的に少なくとも 3 つのバンプで接続されている電子部品において、バンプと電子素子とが接合している総面積を電子素子の質量で割った値、およびバンプと基板とが接合している総面積を電子素子の質量で割った値が、ともに $8.8 \text{ mm}^2/\text{g}$ 以上であることを特徴とする電子部品。

【請求項 2】 電子素子と、電子素子を実装する基板とを有し、電子素子と基板とが電気的もしくは機械的に少なくとも 3 つのバンプで接続されている電子部品において、バンプと電子素子とが接合している総面積を電子素子の質量で割った値、およびバンプと基板とが接合している総面積を電子素子の質量で割った値が、ともに $11.6 \text{ mm}^2/\text{g}$ 以上であることを特徴とする電子部品。

【請求項 3】 電子素子と基板とが、バンプ以外で機械的に接続されていないことを特徴とする請求項 1 もしくは請求項 2 に記載の電子部品。

【請求項 4】 バンプが Au もしくは Au を主成分とする合金からなることを特徴とする請求項 1 から請求項 3 のいずれかに記載の電子部品。

【請求項 5】 電子素子が、圧電基板上に少なくとも 1 つの IDT 電極を形成した弾性表面波素子であることを特徴とする請求項 1 から請求項 4 のいずれかに記載の電子部品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電子素子と電子素子を実装する基板とを有してなる電子部品に関する。

【0002】

【従来の技術】 近年、電子素子と電子素子を実装する基板とを有してなる電子部品の小型、低背化が進む中で、電子素子の所定の面と基板の所定の面とを導電性のバンプで機械的もしくは電気的に接続する工法、いわゆるフリップチップ工法と呼ばれる工法が用いられるようになってきた。

【0003】 図 1 (a), (b) は、それぞれ従来の一般的なフリップチップ工法を用いた電子部品 10 の縦断面図である。図 1 (a), (b) に示すように、電子部品 10 は、電子素子 20 と電子素子 20 を実装する基板 30 からなっている。

【0004】 図 1 (a) に示すように、電子素子 20 は、所定の機能面 120 を下にし、基板 30 の所定の搭載面 130 に対向するように配置され、金属バンプ 40 を介して電子素子 20 と基板 30 が電気的、機械的に接続されている。また、図 1 (b) に示すように、例えば半導体デバイスなどでは一般的に、さらに接続を強固にするために電子素子 20 と基板 30 の間に樹脂 90 を充填する方法が知られている。このような目的で用いられる

樹脂 90 は一般にアンダーフィルと呼ばれている。

【0005】

【発明が解決しようとする課題】 しかし、用いる電子素子が、例えば、弾性表面波素子のように電子素子の機能面に電極などが存在し、それに樹脂が付着すると機能を十分に発揮できない電子部品の場合、アンダーフィルを充填することができない。そのため、電子素子が基板の搭載面にバンプでのみ機械的に接続されているため、電子素子の質量に対し接するバンプの総面積が小さいと、落下や振動などの外部からの機械的負荷により、電子素子がバンプから外れ、電子部品そのものの機能が失われるといった問題がある。

【0006】 本発明の電子部品は、上述の問題を鑑みてなされたものであり、アンダーフィルが充填できない電子部品においても、電子素子と基板とが十分な機械的な接合が図れる電子部品を提供することを目的としている。

【0007】

【課題を解決するための手段】 上記目的を達成するため本発明の電子部品は、電子素子と、電子素子を実装する基板とを有し、電子素子と基板とが電気的もしくは機械的に少なくとも 3 つのバンプで接続されている電子部品において、バンプと電子素子とが接合している総面積を電子素子の質量で割った値、およびバンプと基板とが接合している総面積を電子素子の質量で割った値が、ともに $8.8 \text{ mm}^2/\text{g}$ 以上であることを特徴とする電子部品であり、または、電子素子と、電子素子を実装する基板とを有し、電子素子と基板とが電気的もしくは機械的に少なくとも 3 つのバンプで接続されている電子部品において、バンプと電子素子とが接合している総面積を電子素子の質量で割った値、およびバンプと基板とが接合している総面積を電子素子の質量で割った値が、ともに $11.6 \text{ mm}^2/\text{g}$ 以上であることを特徴とする電子部品である。本発明の電子部品は、また、バンプが Au もしくは Au を主成分とする合金からなることを特徴としている。本発明の電子部品は、また、電子素子と基板とが、バンプ以外で機械的に接続されていないことを特徴としている。本発明の電子部品は、また、電子素子が、圧電基板上に少なくとも 1 つの IDT 電極を形成した弾性表面波素子であることを特徴としている。

【0008】 本発明の電子部品によれば、電子素子と基板との機械的接合にアンダーフィルを用いることができない弾性表面波素子を用いた弾性表面波デバイスなどの電子部品においても、十分な強度の機械的接合を得ることができる。

【0009】

【発明の実施の形態】 以下、本発明の実施例を、図 2 から図 4 を用いて説明する。図 2 は、本実施例の電子部品 1 を示す透視図である。また、図 3 は、本実施例の電子部品 1 を示す縦断面図である。また、図 4 は、弾性表面

波素子である電子素子2の機能面12を上にした状態の斜視図である。

【0010】本実施例では、電子部品1は、表面実装部品であり、マザーボード（図示せず）に実装されるものである。図2、図3、図4に示すように、電子部品1は、例えば圧電基板の所定の機能面に少なくとも1つのIDT電極を形成した弾性表面波素子である電子素子2と、例えばセラミックスまたは樹脂などの絶縁体からなり、電子素子2を所定の搭載面に実装する基板3とからなっている。なお、図2、図3、図4には図示していないが、電子素子2を実装した基板3には、蓋材がかぶせられ、電子素子2を覆うようになっている。

【0011】図4に示すように、弾性表面波素子である電子素子2は、所定の機能面12に弾性表面波を送受するIDT（インターディジタル）電極21と電極パッド22が形成され、所望の電気的特性が得られるように、IDT電極21と電極パッド22が電気的に接続されている。電極パッド22上には例えばAuもしくはAuを主成分とする合金からなる金属バンプ4が形成されている。本実施例では図4に示すように、4ヶ所の金属パッド22にそれぞれ1つずつの金属バンプ4を形成した。

金属バンプ4の形成方法としては、公知のワイヤーボンディング法を用いた。

【0012】このとき金属バンプ4を全部で1つまたは2つしか形成しないと、落下などの機械的衝撃が電子部品1に加わった場合、モーメントなどの力が加わりやすくなるため、衝撃に対する耐久性が弱くなる。このため、金属バンプ4は少なくとも3つ以上形成するのが好ましい。

【0013】図示していないが、電極パッド22は、公知のフォトリソグラフィ技術などを用いてIDT電極21と同時に形成した下地電極上にコンタクトメタル（Ti、Ni、NiCrなどを主成分とする薄膜）を介してAlを主成分とする導電性のある電極で構成している。

【0014】図2、図3に示すように基板3には、所定の搭載面13に内部電極端子31が設けられており、金属バンプ4と接続されている。また、搭載面13の裏面には、マザーボード（図示せず）への表面実装を可能にする外部電極端子32が形成されている。内部電極端子31と外部電極端子32は、基板3の側面に形成された導体により電気的に接続されている。なお、内部電極端子31、外部電極端子32およびこれらを接続する導体は、本実施例ではW（タングステン）を主成分としており、この上にNiとAuが順にメッキされている。

【0015】弾性表面波素子である電子素子2は、基板3の搭載面13に形成された内部電極端子32に例えば超音波と熱を併用した公知のフリップチップボンディング法で、金属バンプ4を介して電気的および機械的に接続固定されている。内部電極31は、表面がAuメッキ

されているため、AuまたはAuからなる金属バンプ4と良好なAu-Au結合を得ることができる。なお、電子素子2が弾性表面波素子であるのでアンダーフィルなどは用いていない。

【0016】以上に説明した電子部品1において、金属バンプ4と電子素子2とが接合している総面積を電子素子2の質量で割った値、および金属バンプ4と基板3とが接合している総面積を電子素子2の質量で割った値がともに8.8mm²/gとなるように設定されている。

これは、アンダーフィルを用いていないため、電子素子2と基板3との機械的接合を損なわないためである。

【0017】ここで、図5を用いて、金属バンプ4と電子素子2とが接合している総面積を電子素子2の質量で割った値、および金属バンプ4と基板3とが接合している総面積を電子素子2の質量で割った値ごとの落下試験時の故障率の関係について検証することとする。

【0018】図5は、金属バンプ4と電子素子2とが接合している総面積を電子素子2の質量で割った値ごとの落下試験時の故障率の関係を示す表である。

【0019】この落下試験は、電子素子2としてLiTaO₃を有し、質量が3.52mgである弾性表面波素子のサンプルを100個用意し、荷重落下試験を行い、そのときの故障率を求めるものである。具体的には、携帯電話に用いることを想定して100gの重りの上面（落下したときに地面と接合する面と対向する面）に電子素子2を所定の面が下になるように固定し、1.5mの高さから16回落下させる試験を略直方体である電子素子2の6面全てについて行った。なお、この落下試験において、基板3と接合している金属バンプ4の総面積は、電子素子2と接合している金属バンプ4の総面積と比べて大きくなっている。

【0020】本実施例においては、金属バンプ4と電子素子2とが接合している総面積及び金属バンプ4と基板3とが接合している総面積はそれぞれ下記のようにして求めた。

【0021】金属バンプ4と電子素子2とが接合している総面積であるが、フリップチップボンディング法では、Auを主成分とする金属バンプ4と電子素子2上に形成されたAlを主成分とする電極パッド22を物理的に接触させ、超音波あるいは熱を印加することで、AuとAlがそれぞれ相互拡散してAuとAlの合金層が形成される。接合に寄与している部分はこの合金層の部分であり、接合している総面積はこの合金層の面積となる。そこで、本発明の電子部品を塩酸に浸漬し、Alを主成分とする電極パッド22を溶解することで、Auを主成分とする金属バンプ4と電子素子2とを分離した後、金属バンプ4の表面であって、電極パッド22と当接した部分のうちAlとAuの合金層が形成されている部分の面積を各バンプ毎に求め、それらの総和を金属バンプ4と電子素子2とが接合している総面積とした。A

1とAuの合金層が形成されている部分の面積は、面積が計算できる顕微鏡で測定する。

【0022】一方、金属バンプ4と基板3とが接合している総面積であるが、接合面が基板側ではAuメッキであり、バンプ側もAuを主成分とした金属バンプであり、互いに同一の材料で接合されているため、各々のバンプでの接触面積を求め、それらの総和を金属バンプ4と基板3とが接合している総面積とした。各々のバンプでの接触面積は、レッドチェック法等により測定する。

【0023】図5に示すように、金属バンプ4と電子素子2とが接合している総面積を電子素子2の質量で割った値を、 $6.000\text{mm}^2/\text{g}$ としたときは、落下試験による電子部品1の故障率は31%であった。

【0024】また、金属バンプ4と電子素子2とが接合している総面積を電子素子2の質量で割った値を、 $8.000\text{mm}^2/\text{g}$ としたときは、落下試験による電子部品1の故障率は15%であった。

【0025】これに対して、金属バンプ4と電子素子2とが接合している総面積を電子素子2の質量で割った値を、 $8.800\text{mm}^2/\text{g}$ としたときは、落下試験による電子部品1の故障率は7%と低下している。

【0026】携帯電話を例に取った場合、落下試験のように100回弱も不用意に落下させるケースは極めて稀であり、実用上は故障率が7%まで低くなっていけば、耐久性にほぼ問題がないといえることができる。

【0027】したがって、金属バンプ4と電子素子2とが接合している総面積を、 $8.8\text{mm}^2/\text{g}$ 以上としたときが好ましく、落下による故障率が低い高品質の電子部品を提供することができる。また、さらに好ましくは、金属バンプ4と電子素子2とが接合している総面積を電子素子2の質量で割った値を $11.6\text{mm}^2/\text{g}$ 以上としたときであり、この落下試験においては故障率は0%となり、実用上での落下による故障をほぼ確実に防ぐことが可能となる。

【0028】なお、この落下試験では、基板3と接している金属バンプ4の総面積が、電子素子2と接している金属バンプ4の総面積と比べて大きくなっている場合を示したが、電子素子2と接している金属バンプ4の総面積が、基板3と接している金属バンプ4の総面積と比べて大きくなっている場合にも同様の結果となる。

【0029】なお、本実施例では、金属バンプ4をワイヤーバンピング法により形成したが、これに限るものではなく、例えばメッキ法などにより形成してもよい。

【0030】また、本実施例では、電極パッド22の構造はAlを主成分とする導電性物質とコンタクトメタルを積層した例を示したが、これに限るものではなく、フォトリソグラフィ技術を用いてIDT電極21と同時に形成してもよく、また、積層する層数も問わない。また、IDT電極21および電極パッド22の構成は、図

4で示した構成に限定するものではない。

【0031】また、内部電極端子31、外部電極端子32およびこれらを接続する導体は、本実施例ではW（タングステン）上にNiメッキ、Auメッキしている構造となっているがこれに限定するものではない。ただし、AuまたはAuを主成分とする合金からなる金属バンプ4と良好な接続を得るために、最上層はAuとなっているものが好ましい。

【0032】また、本実施例ではフリップチップボンディングの方法として、超音波と熱を併用した手段を用いたが、熱のみ、あるいは超音波のみによるフリップチップボンディングを施しても全く問題はない。

【0033】なお、本発明は、本実施例においては、電子部品1として、マザーボード上に実装する表面実装部品を想定したが、これに限定するものではなく、マザーボード上に直接電子素子を実装した電子部品（図示せず）にも適用できることは勿論である。

【0034】

【発明の効果】以上のように本発明の電子部品によれば、複数のバンプと電子素子とが接合する面積を電子素子の質量で割った値、および複数のバンプと基板とが接合する面積を電子素子の質量で割った値がともに $8.8\text{mm}^2/\text{g}$ 以上、または $11.6\text{mm}^2/\text{g}$ 以上とすることで、電子素子と基板との機械的接合にアンダーフィルを用いることができない弾性表面波素子を用いた弾性表面波デバイスなどの電子部品においても、十分な強度の機械的接合を得ることができる。

【図面の簡単な説明】

【図1】(a)、(b)従来の一般的なフリップチップ工法を用いた電子部品の縦断面図

【図2】本実施例の電子部品を示す透視図

【図3】本実施例の電子部品を示す縦断面図

【図4】弾性表面波素子である電子素子の機能面を上にした状態の斜視図

【図5】金属バンプが接合している総面積を電子素子の質量で割った値と落下試験時の故障率との関係を示す表

【符号の説明】

1 電子部品

2 電子素子

3 基板

4 金属バンプ

12 電子素子の機能面

13 基板の搭載面

21 IDT電極

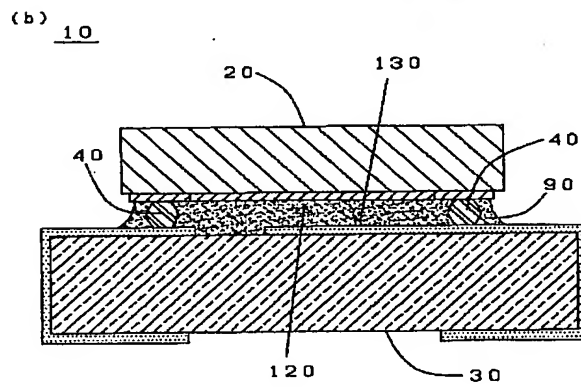
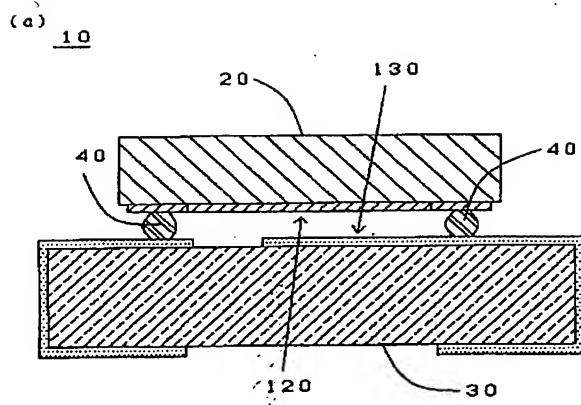
22 電極パッド

31 内部電極端子

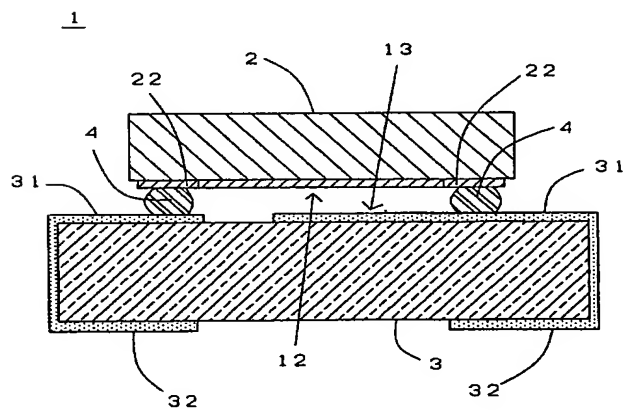
32 外部電極端子

90 樹脂（アンダーフィル）

【図1】



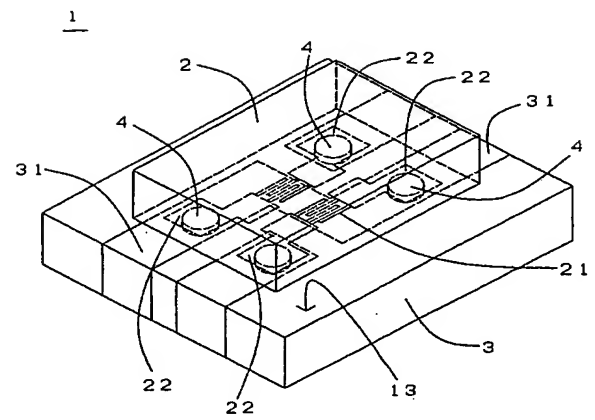
【図3】



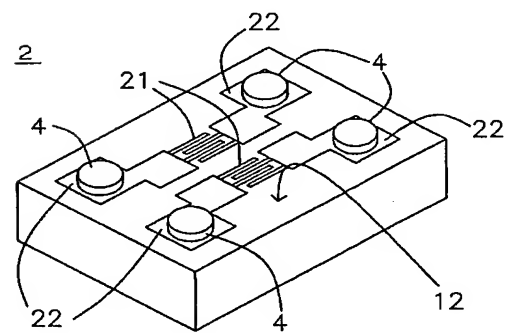
【図5】

パンプ総面積／電子素子質量 (mm ² /g)	故障率 (%)
6.000	31
8.000	15
8.800	7
10.800	2
11.600	0

【図2】



【図4】



フロントページの続き

(72) 発明者 高田 忠彦
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

Fターム(参考) 5F044 KK02 KK04 LL01 QQ02
5J097 AA25 JJ09